

DERWENT-ACC-NO: 1994-068420

DERWENT-WEEK: 199409

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor EEPROM - has floating gate of FET formed  
with material whose work function is smaller than that of  
Silicon@ and larger than that of gate insulation film  
NoAbstract

PATENT-ASSIGNEE: OKI ELECTRIC IND CO LTD[OKID]

PRIORITY-DATA: 1992JP-0170891 (June 29, 1992)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 06013626 A	January 21, 1994	N/A	008	H01L 029/788

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 06013626A	N/A	1992JP-0170891	June 29, 1992

INT-CL (IPC): H01L029/788, H01L029/792

ABSTRACTED-PUB-NO: JP 06013626A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/7

TITLE-TERMS: SEMICONDUCTOR EEPROM FLOAT GATE FET FORMING MATERIAL WORK  
FUNCTION

SMALLER SILICON@ LARGER GATE INSULATE FILM NOABSTRACT

DERWENT-CLASS: U12 U13 U14

EPI-CODES: U12-D02A1; U13-C04B2; U14-A03B7;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1994-053372

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-13626

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号 特願平4-170891

(22)出願日 平成4年(1992)6月29日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 五十嵐 泰▲史▼

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

(74)代理人 弁理士 大垣 孝

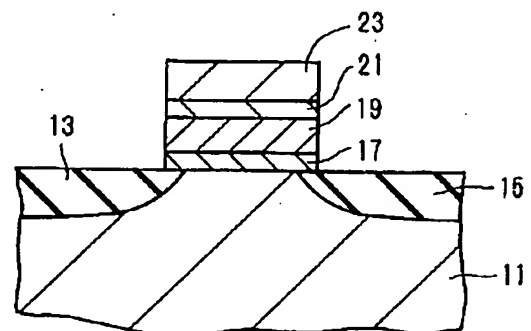
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 フローティングゲートをポリシリコンで構成していた従来のEE-PROMに比べ消去電圧の低減及び消去時間の短縮ができるEE-PROMを提供する。

【構成】 フローティングゲート19を、仕事関数がシリコンのそれより小さくゲート絶縁膜17のそれより大きい材料例えば六ホウ化ランタン(LaB<sub>6</sub>)で構成する。

【効果】 フローティングゲート及びゲート絶縁膜間のバリアハイトを従来より低くできる。



11 : 半導体基板 (シリコン基板)

13 : ソース領域

15 : ドレイン領域

17 : ゲート絶縁膜 (トンネル酸化膜も兼ねる)

19 : LaB<sub>6</sub> で構成したフローティングゲート

21 : ゲート間絶縁膜

23 : コントロールゲート

実施例の半導体記憶装置を示す断面図

1

## 【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜及びフローティングゲートをこの順に具える半導体記憶装置において、

フローティングゲートを、仕事関数がシリコンのそれより小さくゲート絶縁膜のそれより大きい材料で構成したことを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置において、

前記材料をホウ化物及び炭化物より成る物質群から選ばれた材料としたことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は、不揮発性の半導体記憶装置に関するものである。

## 【0002】

【従来の技術】ハードディスク、フロッピーディスク、磁気テープなどを用いた磁気記憶装置を半導体記憶装置で代替しようとする試みが、近年なされている。このようにすると、記憶装置から機械的な駆動部を除去できるため、より小型で、より信頼性が高く、よりデータの書き込み及び読み出し速度が早いコンピュータなどが実現できるからである。

【0003】この試みに好適な半導体記憶装置としては、例えば文献(「最新版超LSIプロセスデータハンドブック」, (1990.3.31) (株)サイエンス・フォーラム, pp. 82~86)に開示のような、EE-PROM (Electrically Programmable -Read Only Memory)、Flash EE-PROM、NAND型EE-PROMがある。特に、NAND型EE-PROMは1ビット当たりのセル面積が他のものに比べ小さいので、すなわち1ビット当たりのコストが低いので、有望視されている。

【0004】これらいずれのEE-PROMも、ソース領域及びドレイン領域が形成されたシリコン基板上に、トンネル酸化膜としても使用されるゲート絶縁膜、フローティングゲート、ゲート間絶縁膜及びコントロールゲートをこの順に積層した構成とされていた。そして、フローティングゲートの構成材料としては、ポリシリコンがもっぱら使用されていた。

【0005】これらEE-PROMでは、フローティングゲートに電子が注入されている場合を例えばデータ「1」の状態、されていない場合をデータ「0」の状態としてデータの記憶が行なわれる。フローティングゲートへの電子の注入は、ドレイン及び基板間にドレイン側が正となるように所定電圧を印加することでチャネルに発生させたホットエレクトロンを、コントロールゲート及び基板間にコントロールゲート側が正となるように高電圧(例えば20数V程度)を印加することでフローティングゲートに注入することにより、行なわれる。一

2

方、フローティングゲートからの電子の引き抜きは、コントロールゲート及び基板間に基板側が正となるように高電圧(例えば20数V程度)を印加することでゲート絶縁膜にFowler-Nordheim電子電流(以下、「FN電流」という。)を生じさせることにより、行なわれる。なお、電子の注入及び引き抜きのための電圧は、別途に用意された電源から供給する場合、または、例えばNAND型EE-PROMのように、外部電源として5V単一電源のみを用意しこの電圧をチップ内部に設けた昇圧回路により昇圧して供給する場合がある。

## 【0006】

【発明が解決しようとする課題】しかしながら、従来のいずれのEE-PROMも、フローティングゲートから電子を引き抜く場合(以下、「データ消去」ともいう。)、高い電圧が必要でありかつ電子引き抜きのための時間(以下、「データ消去時間」ともいう。)が長くなるという問題点があった。

【0007】データ消去をより低電圧で行なえば、トンネル酸化膜の耐久性の向上、電源回路の負担軽減などが図れ、またデータ消去時間が短縮されればより高速動作する記憶装置の実現が図れることを考えると、改善が望まれる。

【0008】この発明はこのような点に鑑みなされたものであり、従ってこの発明の目的はデータ消去を従来より低電圧かつ短時間でなうことができる半導体記憶装置を提供することにある。

## 【0009】

【課題を解決するための手段】この目的の達成を図るため、この発明によれば、半導体基板上にゲート絶縁膜及びフローティングゲートをこの順に具える半導体記憶装置において、フローティングゲートを、仕事関数がシリコンのそれより小さくゲート絶縁膜のそれより大きい材料で構成したことを特徴とする。

【0010】この発明の実施に当たり、前述の材料として、ホウ化物及び炭化物より成る物質群から選ばれた材料を用いるのが好適である。

【0011】ここで、ホウ化物の具体例として、例えば、六ホウ化ストロンチウム( $\text{SrB}_6$ )、六ホウ化ランタン( $\text{LaB}_6$ )、六ホウ化セリウム( $\text{CeB}_6$ )、六ホウ化ニオブ( $\text{NbB}_6$ )、六ホウ化プラセオジウム( $\text{PrB}_6$ )、六ホウ化バリウム( $\text{BaB}_6$ )などを挙げることができる。また、炭化物の具体例として、例えば、炭化ジルコニウム( $\text{ZrC}$ )、炭化ハフニウム( $\text{HfC}$ )、炭化チタン( $\text{TiC}$ )、炭化タングステン( $\text{WC}$ )、炭化バナジウム( $\text{VC}$ )、炭化ニオブ( $\text{NbC}$ )、炭化モリブデン( $\text{MoC}$ )、炭化タンタル( $\text{TaC}$ )などを挙げることができる。これらホウ化物または炭化物はいずれも、上述の仕事関数の条件を満足しかつ化学的にも安定であるので好適である。なお、必要に

じては2種類以上の物質を選んでも良い。

【0012】また、この発明でいうフローティングゲートの構成材料として、セシウム(Cs)、ストロンチウム(Sr)、カリウム(K)、Li(リチウム)、バリウム(Ba)、トリウム(Th)、ハフニウム(Hf)、チタン(Ti)などを用いることも可能であるが、化学的安定性の点からいって、上述のホウ化物や炭化物の方が好適である。

【0013】なお、フローティングゲート形成材料としてどの程度の仕事関数の材料を選択するかについては、データ消去のための電圧を低減し及びデータ消去時間を短縮する目的からすれば、上述した仕事関数の条件の範囲内でより小さい値を示す材料が好ましいが、反面、仕事関数があり小さい材料を選択すると、この材料で構成したフローティングゲートと、ゲート絶縁膜やゲート間絶縁膜(コントロールゲート側の絶縁膜)との間のバリアハイト(障壁の高さ)が低くなるためフローティングゲートで電子を保持して記憶状態を形成するという目的を損ねまたこの記憶状態の信頼性を低下させるので、これらの点を考慮して適正な材料を選択するのが良い。

【0014】

【作用】この発明の構成によれば、仕事関数がシリコンのそれより小さくかつゲート絶縁膜のそれより大きい材料でフローティングゲートを構成した分、このフローティングゲートのフェルミレベルは高エネルギー側にシフトするので、ゲート絶縁膜でのトンネル距離は、フローティングゲートをシリコン(実際はポリシリコン)で構成していた従来の半導体記憶装置に比べ短くなる(図2(A)及び(B)参照)。このことは、フローティングゲートとゲート間絶縁膜(コントロールゲートとフローティングゲートとの間に設けられる絶縁膜)との間でトンネル電流を生じさせコントロールゲート側に電子を引き抜く場合にも同様にいえる。このため、この発明の半導体記憶装置ではデータ消去電圧を小さくしても所望のFN電流が得られた、データ消去電圧が従来と同じ若しくはいくらか低い場合でも従来より大きなFN電流が得られる。

【0015】また、このことは、次のことからもうかえる。FN電流を $J_{FN}$ で示したときこれは次の(1)式で表わされることが例えば文献(「サブミクロンデバイスII」小柳 光正 著、丸善(株)(1988.1.30)、p. 29)に開示されている。

【0016】

$$J_{FN} = A \epsilon_{ox}^2 \cdot \exp(-B/\epsilon_{ox}) \quad \dots (1)$$

ただし、(1)式において、

$A = q^2 m / 8 \pi h \phi_b m^*$ 、 $B = [4 \cdot (2m^*)^{1/2} \cdot (q \phi_b)^{3/2} / 3 q (h / 2 \pi)]$ であり、またここで、 $\epsilon_{ox}$ ：ゲート絶縁膜(トンネル酸化膜。例えば $SiO_2$ 膜)に印加される電界、 $\phi_b$ ：フローティングゲートとゲート絶縁膜との間のバリアハイト、 $m^*$ ：

ゲート絶縁膜における電子の有効質量である。

【0017】この(1)式から明らかなように、バリアハイト $\phi_b$ の値を小さくすることによりFN電流を大きくできることが分かり、また、この $\phi_b$ の値を小さくすることにより同じ大きさのFN電流を得たい場合の電界 $\epsilon_{ox}$ を小さくできることが分かる。そして、この発明では、フローティングゲートを、仕事関数がシリコンのそれより小さくゲート絶縁膜のそれより大きい材料で構成しているので、フローティングゲートをシリコン(実際はポリシリコン)で構成する場合より、バリアハイト $\phi_b$ の値は小さくなるから、従来より、データ消去電圧の低減及びデータ消去時間の短縮が図れる。

【0018】

【実施例】以下、図面を参照してこの発明の半導体記憶装置の実施例について説明する。しかしながら、説明に用いる各図はこの発明を理解できる程度に、各構成成分の形状、大きさおよび配置関係を概略的に示してあるにすぎない。

【0019】1. 構造説明

図1は実施例の半導体記憶装置の要部を示した断面図である。ただし、この発明の説明に不要と思われる構成成分(例えば素子間分離用絶縁膜など)の図示は省略してある(以下の図3及び図4において同じ。)

【0020】この実施例の半導体記憶装置では、半導体基板としてのシリコン基板11にソース領域13及びドレイン領域15を具え、さらにこのシリコン基板11上にトンネル酸化膜をも兼ねるゲート絶縁膜17、フローティングゲート19、フローティングゲート及びコントロールゲート間を電気的に絶縁するためのゲート間絶縁膜21及びコントロールゲート23をこの順に具えと共に、フローティングゲート19を六ホウ化ランタン(LaB6)で構成してある。

【0021】ゲート絶縁膜17及びゲート間絶縁膜21は好適な材料例えばこれに限られないがシリコン酸化膜またはシリコン酸化窒化膜(詳細は後述する。)で構成できる。コントロールゲート23も好適な材料例えばこれに限られないがポリシリコンで構成できる。

【0022】LaB6の仕事関数は2.8eVであるので、この実施例の半導体記憶装置では、フローティングゲート19のフェルミレベルは、フローティングゲートをシリコン(実際はポリシリコン)で構成した従来の半導体記憶装置より、高エネルギー側にシフトするから、ゲート絶縁膜17をシリコン酸化膜またはシリコン酸化窒化膜で構成した場合の例で考えると、これらフローティングゲート19及びゲート絶縁膜17間のバリアハイト $\phi_b$ は約1.9eVになる。これに対し図1の構成においてフローティングゲートをシリコン(ポリシリコン)で構成した場合(以下、「比較例」ともいう。)は、シリコンの仕事関数が4.05eVであるのでこの場合の同バリアハイト $\phi_b$ は約3.1eVになる。この

5

実施例の装置で得られるバリアハイト $\phi_b = 1.9 \text{ eV}$ は、比較例の $3.1 \text{ eV}$ に比べ小さいが、 $200^\circ\text{C}$ の温度で電子が有するエネルギー( $41 \text{ meV}$ )に比べて十分に大きいから、この実施例の装置の動作温度範囲( $< 200^\circ\text{C}$ )においてフローティングゲート19に電子を保持させるためには充分なバリアハイトである。

【0023】ここで、これら実施例及び比較例の各半導体記憶装置の、コントロールゲート及び基板間に、基板側を正としてデータ消去電圧を印加すると、各々でのバンド図は、実施例のものにあっては図2(A)に示すようなものになり、比較例のものにあっては図2(B)に示すようなものになる。つまり、実施例の装置でのトンネル距離 $t_A$ は比較例の装置でのトンネル距離 $t_B$ より短くなる。このため、実施例の半導体記憶装置では、データ消去電圧を小さくしても所望のFN電流が得られまた、データ消去電圧が従来より多少低い場合でも従来より大きなFN電流が得られることが理解できる。なお、図2において、コントロールゲートに相当する部分、ゲート間絶縁膜に相当する部分、・・・、基板に相当する部分などに対し図1に示した番号と同様な番号をそれぞれ付してある。ただし、図2(B)(比較例)においてはポリシリコンから成るフローティングゲートを31で示してある。

【0024】また、実施例及び比較例の各装置での上述のようなバリアハイト $\phi_b$ の値( $1.9 \text{ eV}$ や $3.1 \text{ eV}$ )を上述の(1)式に代入し両者でのFN電流 $J_{FN}$ をそれぞれ算出すると、実施例の場合は $9.3 \times 10^{-12} \text{ A/cm}^2$ となり、比較例の場合は $5.7 \times 10^{-12} \text{ A/cm}^2$ となる。ただし、この計算に当たって(1)式中の電界 $E_{ox}$ の値は、この種の半導体記憶装置で通常使用される程度の $6 \text{ MV/cm}$ を用いている。この計算結果から明らかなように、実施例の方が比較例より $9.3/5.7 \approx 1.63$ 倍のFN電流が得られることが分かる。このことから、実施例の半導体記憶装置では、データ消去電圧を小さくしても所望のFN電流が得られまた、データ消去電圧を従来より多少低くした場合であっても従来より大きなFN電流が得られることが理解できる。

【0025】2. 動作方法の説明この発明の半導体記憶装置は従来の装置と同様な方法で動作させることができるが以下に簡単にその説明を行なう。

【0026】2-1. 動作方法その1

図3(A)～(C)は動作方法その1の説明に供する図である。この方法において、フローティングゲート19へ電子を注入する場合は、図3(A)に示したように、ドレイン領域15及びソース領域13(基板)間に所定電圧 $V_{DW}$ を印加しチャネル41にホットエレクトロン43を発生させると共に、コントロールゲート23及びソース領域13(基板)間に所定電圧 $V_G$ を印加し上記ホットエレクトロン43をフローティングゲート19に注

6

入する。また、フローティングゲート19に注入された電子を外部に引き抜く場合は、図3(B)に示したように、基板11、ソース領域13及びドレイン領域15を接続状態としてこれらとコントロールゲート23との間にコントロールゲート23側が負となるように所定の高電圧 $V_E$ を印加して、フローティングゲート19から電子を基板11側に引き抜く。ただし、この発明の場合、電圧 $V_E$ は従来必要とされていた電圧(20数V)に比べ低くて済む。また、データの読み取りを行なう場合は、図3(C)に示したように、コントロールゲート23に通常の電圧 $V_G$ をまたドレイン領域15に通常の電圧 $V_D$ をそれぞれ印加する。電圧 $V_G$ の基板への影響はフローティングゲート19に電子が注入されているか否かで異なるのでこの状態いかんでトランジスタがオンするかオフ状態のままとなる。このトランジスタのオン・オフ状態によりこのビットのデータが「1」か「0」かを読み取る。

【0027】2-2. 動作方法その2

図4(A)～(C)は他の動作方法の説明図である。ただし、フローティングゲートへの電子の注入(図4(A))およびデータの読み取り(図4(C))は図3を用いて説明した方法と同じである。フローティングゲート19に注入されている電子をコントロールゲート23側に引き抜く点が図3を用いて説明した方法と異なる。具体的には、図4(B)に示したように、基板11、ソース領域13及びドレイン領域15を接続状態としてこれらとコントロールゲート23との間にコントロールゲート23側が正となるように所定の高電圧 $V_E$ を印加して、フローティングゲート19から電子をコントロールゲート23側に引き抜く。ただし、この場合も、電圧 $V_E$ は従来必要とされていた電圧(20数V)に比べ低くて済む。図5に、この動作方法その2の電子引き抜きの際(消去モード)での実施例の半導体記憶装置のバンド図を図2の表記方法と同様な表記方法により示した。

【0028】3. 製造方法の説明

次に、この発明の理解を深めるために、図1を用いて説明した実施例の半導体記憶装置の製造方法の一例について説明する。図6(A)～(D)及び図7(A)～(D)はその説明に供する工程図である。いずれの図も断面図により示してある。

【0029】先ず、公知の方法によりシリコン基板11の所定部分に素子間分離用絶縁膜51形成し、また、基板11のアクティブ領域の表面濃度を所定値に調製する(図6(A))。

【0030】次に、このシリコン基板11表面を清浄化した後この基板表面に例えば熱酸化法によりゲート絶縁膜形成用薄膜17xを例えば $10 \text{ nm}$ の膜厚に形成する(図6(B))。

【0031】次に、このゲート絶縁膜形成用薄膜17x上にフローティングゲート形成用薄膜19xとしてこの場

合LaB<sub>6</sub>の薄膜を例えば100nmの膜厚に形成する(図6(C))。この実施例ではLaB<sub>6</sub>のターゲットを使用したスパッタ法によりこのLaB<sub>6</sub>薄膜19xを形成する。

【0032】次に、このLaB<sub>6</sub>薄膜19x上にゲート間絶縁膜形成用薄膜21xとしてこの場合酸化窒化膜を形成する(図6(D))。この膜21xは、LaB<sub>6</sub>膜19x上に先ず原料ガスとしてNH<sub>3</sub>及びSiH<sub>4</sub>を用いたCVD法により厚さが30nmのシリコン窒化膜(図示せず)を形成した後、これを酸素雰囲気中で熱処理しこのシリコン窒化膜上部を酸化膜にすることで形成する。

【0033】次に、このゲート間絶縁膜形成用薄膜21x上にコントロールゲート形成用薄膜23xとしてこの場合n<sup>+</sup>ポリシリコン膜を例えばCVD法により例えば200nmの膜厚に形成する(図7(A))。

【0034】次に、コントロールゲート形成用薄膜23x上にゲート電極加工時のマスク例えばレジストパターン(図示せず)を公知のリソグラフィ技術により形成する。その後、例えばCF<sub>4</sub>を用いた反応性イオンエッチング法によりコントロールゲート形成用薄膜23x、ゲート間絶縁膜形成用薄膜21xをそれぞれ選択的にエッチングして、コントロールゲート23及びゲート間絶縁膜21をそれぞれ得る。その後、例えばAr(アルゴン)を用いたイオンミリング法によりLaB<sub>6</sub>膜19x及びゲート絶縁膜形成用薄膜17xをそれぞれ選択的にエッチングして、LaB<sub>6</sub>から成るフローティングゲート19及び、ゲート絶縁膜17を得る(図7(B))。

【0035】次に、イオン注入法により例えばリンを例えば加速エネルギー40KeV及びドーズ量5×10<sup>15</sup>/cm<sup>2</sup>の条件でこのシリコン基板11に注入、さらにこのシリコン基板に対し950℃の温度で30分間熱処理をして、ソース領域13及びドレイン領域15をそれぞれ得る(図7(C))。

【0036】次に、公知の方法により、層間絶縁膜53の形成、これへのコンタクトホール55の形成及び配線57の形成をそれぞれ行なう。これにより実施例の半導体記憶装置が得られる(図7(D))。

【0037】上述においては、この発明の半導体記憶装置の実施例について説明したがこの発明は上述の実施例に限られない。

【0038】例えば、上述の実施例は、LaB<sub>6</sub>を用いフローティングゲートを構成した例であった。これは、LaB<sub>6</sub>がこの発明でいう仕事関数の条件を満たすホウ化物の中でも比較的仕事関数が低くまた化学的にも安定でかつ成膜も容易だからである。しかし、フローティン

グゲートを構成するための材料はこれに限られない。

【0039】また、上述においては、膜厚が一樣なゲート絶縁膜を有するEEPROMにこの発明を適用した例を説明したが、この発明は例えばゲート絶縁膜の一部が他の部分より薄くされこの薄くされた部分をトンネル酸化膜として使用する型のEEPROMなど他の型の半導体記憶装置に対しても適用できる。

【0040】

【発明の効果】上述した説明からも明かなように、この発明の半導体記憶装置によれば、仕事関数がシリコンのそれより小さくかつゲート絶縁膜のそれより大きい材料でフローティングゲートを構成したので、フローティングゲートとゲート絶縁膜との間のバリアハイト及びフローティングゲートとゲート間絶縁膜とのバリアハイトを、フローティングゲートをシリコンで構成していた場合に比べ低くできる。したがって、フローティングゲートから電子をゲート絶縁膜側に引き抜く場合、ゲート間絶縁膜側に引き抜く場合のいずれでも、従来よりデータ消去電圧の低減及びデータ消去時間の短縮が図れる。

【図面の簡単な説明】

【図1】実施例の半導体記憶装置を示す断面図である。

【図2】(A)及び(B)は実施例及び比較例の説明に供する図であり、各例装置での消去モード時のバンド図である。

【図3】(A)～(C)は、実施例の半導体記憶装置の動作方法その1の説明に供する図である。

【図4】(A)～(C)は、実施例の半導体記憶装置の動作方法その2の説明に供する図である。

【図5】実施例の半導体記憶装置の動作方法その2の消去モードでのバンド図である。

【図6】(A)～(D)は、実施例の半導体記憶装置の製法例を示す工程図である。

【図7】(A)～(D)は、実施例の半導体記憶装置の製法例を示す図6に続く工程図である。

【符号の説明】

11：半導体基板(シリコン基板)

13：ソース領域

15：ドレイン領域

17：ゲート絶縁膜(トンネル酸化膜も兼ねる。)

19：LaB<sub>6</sub>で構成したフローティングゲート

21：ゲート間絶縁膜

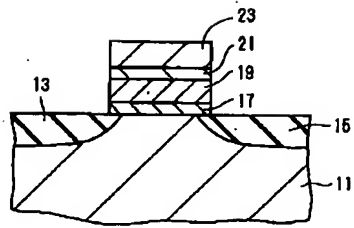
23：コントロールゲート

31：ポリシリコンで構成したフローティングゲート

41：チャネル

43：ホットエレクトロン

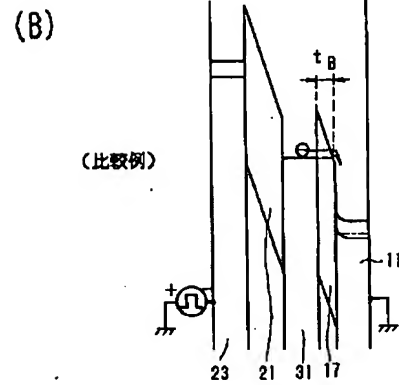
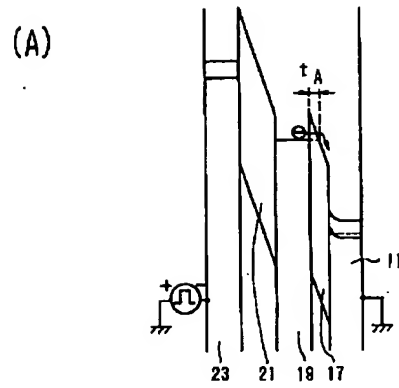
【図1】



- 11: 半導体基板 (シリコン基板)  
 13: ソース領域  
 15: ドレイン領域  
 17: ゲート絶縁膜 (トンネル酸化膜も兼ねる)  
 19: LSiB で構成したフローティングゲート  
 21: ゲート間絶縁膜  
 23: コントロールゲート

実施例の半導体記憶装置を示す断面図

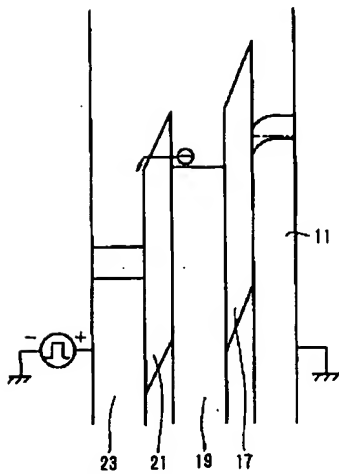
【図2】



- 31: ポリシリコンで構成したフローティングゲート

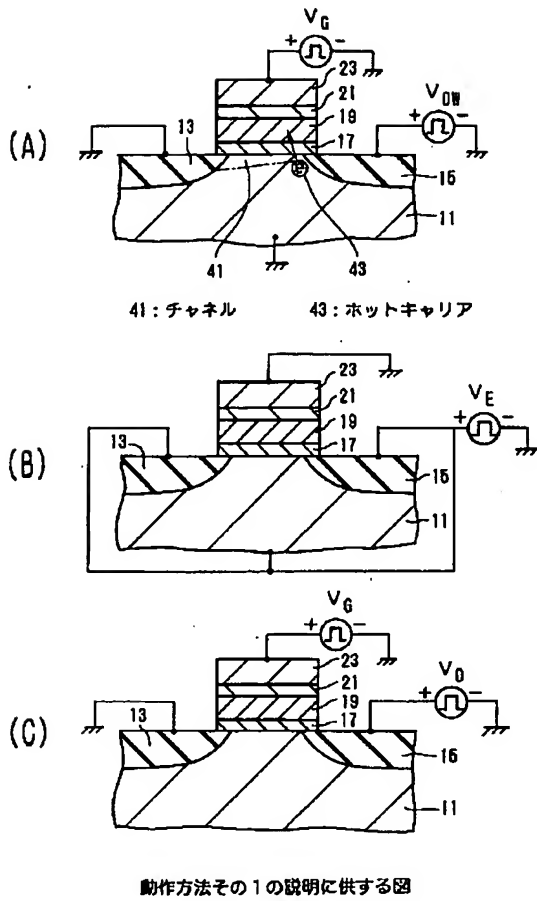
実施例及び比較例の説明に供する図

【図5】

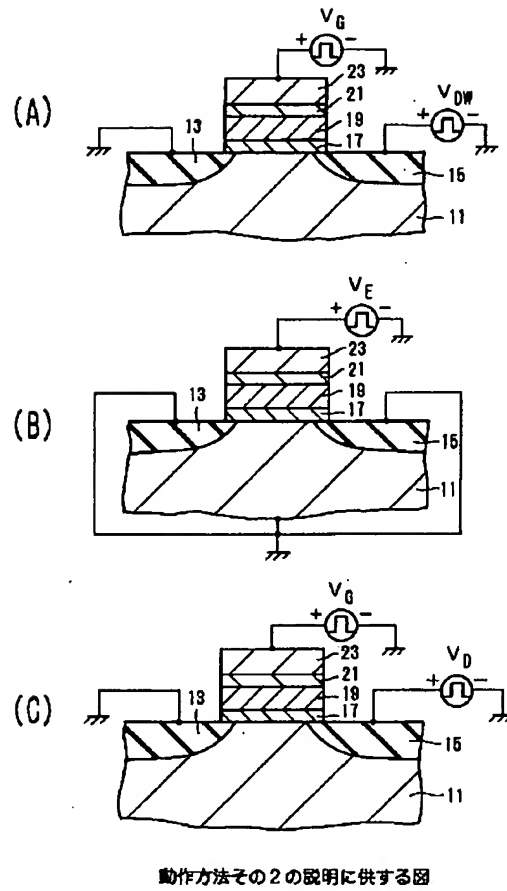


動作方法その2の消去モードでのバンド図

【図3】

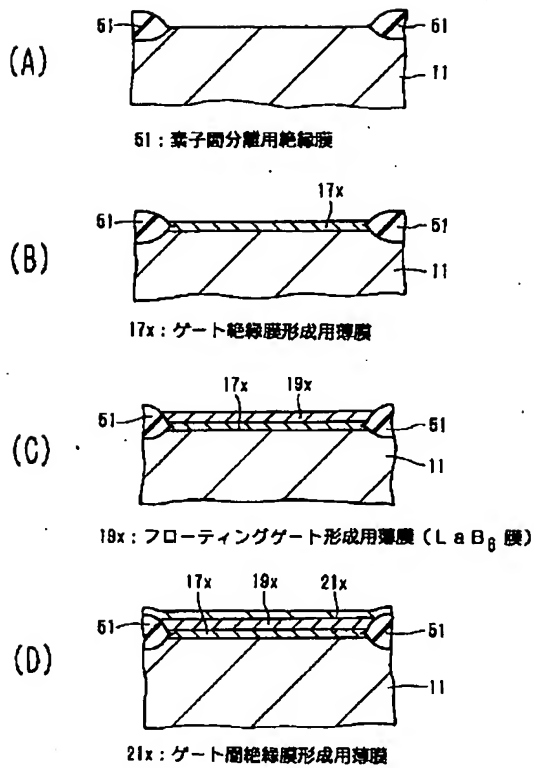


【図4】



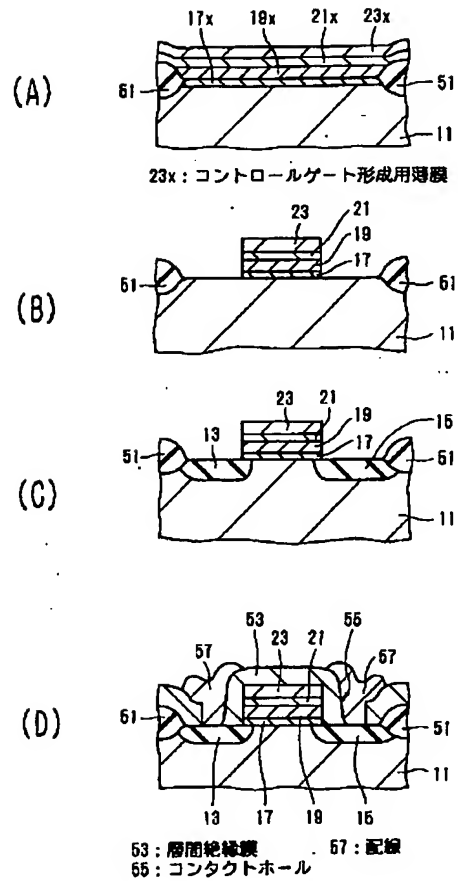


【図6】



実施例の半導体記憶装置の製法例を示す工程図

【図7】



実施例の半導体記憶装置の製法例を示す工程図 (その2)

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor memory of a non-volatile.

[0002]

[Description of the Prior Art] The attempt which is going to substitute a semiconductor memory for the magnetic storage using a hard disk, a floppy disk, a magnetic tape, etc. is made in recent years. If it does in this way, since a mechanical component is removable from a store, it is more small, is more reliable, and is because a computer with more early the writing and read-out rate of data etc. is realizable.

[0003] As a suitable semiconductor memory for this attempt, it is EE-PROM (Electrically Programmable-Read Only Memory) (there are Flash EE-PROM and NAND mold EE-PROM.) like an indication in reference ("latest edition VLSI process-data handbook" Science (1990. 3.31) forum, pp.82-86), for example. Since the cel area per bit is small compared with other things (i.e., since the cost per bit is low), promising \*\* especially of NAND mold EE-PROM is carried out.

[0004] Any [ these ] EE-PROM was considered as the configuration which carried out the laminating of the insulator layer between the gate dielectric film used also as a tunnel oxide film on the silicon substrate in which the source field and the drain field were formed, the floating gate, and the gates, and the control gate to this order. And as a component of the floating gate, polish recon was used chiefly.

[0005] In these EE-PROM, when the electron is poured into the floating gate, a data storage is performed considering the condition of data "1", and the case where it is not carried out, as a condition of data "0." impregnation of the electron to the floating gate is performed by pouring into the floating gate by impressing the high voltage (about [ For example, about twenty ] V) so that a control gate side may serve as forward between the control gate and a substrate in the hot electron which the channel was made to generate by impressing a predetermined electrical potential difference so that a drain side may serve as forward between a drain and a substrate. on the other hand, drawing of the electron from the floating gate is performed by making gate dielectric film produce the Fowler-Nordheim electron current (henceforth "FN current") by impressing the high voltage (about [ For example, about twenty ] V) so that a substrate side may serve as forward between the control gate and a substrate. In addition, when supplying from the power source prepared separately, the pressure up of the electrical potential difference for impregnation of an electron and drawing may be carried out by the booster circuit which prepared only 5V single power supply as an external power, and prepared this electrical potential difference in the interior of a chip like for example, NAND mold EE-PROM, and it may be supplied.

[0006]

[Problem(s) to be Solved by the Invention] However, any conventional EE-PROM had the trouble of a high electrical potential difference having been required, and taking the time amount for electronic drawing (henceforth "data blanking time") for a long time, when an electron was drawn out from the floating gate (henceforth "data elimination").

[0007] Considering that improvement in the endurance of a tunnel oxide film, derating of a power

circuit, etc. can be planned if data elimination can be performed more by the low battery, and implementation of storage which will carry out high-speed operation more if data blanking time is shortened can be aimed at, an improvement is desired.

[0008] This invention is made in view of such a point, therefore it is in the purpose of this invention offering the semiconductor memory which can perform data elimination in a low battery and a short time conventionally.

[0009]

[Means for Solving the Problem] In order to aim at achievement of this purpose, according to this invention, in the semiconductor memory equipped with gate dielectric film and the floating gate on a semi-conductor substrate at this order, it is characterized by a work function constituting the floating gate from it of silicon with a small larger ingredient than that of gate dielectric film.

[0010] It is suitable to use the ingredient chosen from the matter group which consists of a boride and carbide as the above-mentioned ingredient in implementation of this invention.

[0011] Here, for example, 6 hoe-ized strontium (SrB6), a 6 hoe-ized lanthanum (LaB6), a 6 hoe-ized cerium (CeB6), a 6 hoe-ized niobium (NbB6) 6 hoe-ized praseodymium (PrB6), 6 hoe-ized barium (BaB6), etc. can be mentioned as an example of a boride. Moreover, zirconium carbide (ZrC), hafnium carbide (HfC), titanium carbide (TiC), tungsten carbide (WC), vanadium carbide (VC), carbonization niobium (NbC), carbonization molybdenum (MoC), tantalum carbide (TaC), etc. can be mentioned as an example of carbide. Since each of these borides or carbide is chemically [ satisfy the conditions of an above-mentioned work function, and ] stable, it is suitable. In addition, if the need is accepted, you may also choose two or more kinds of matter.

[0012] Moreover, although it is also possible as a component of the floating gate as used in the field of this invention to use caesium (Cs), strontium (Sr), a potassium (K), Li (lithium), barium (Ba), thorium (Th), a hafnium (Hf), titanium (Ti), etc., it says from the point of chemical stability and an above-mentioned boride and carbide are more suitable.

[0013] in addition, about what work function of an ingredient is chosen as a floating-gate formation ingredient If it carries out from the purpose which reduces the electrical potential difference for data elimination, and shortens data blanking time Although the ingredient in which a smaller value is shown within the limits of the conditions of the work function mentioned above is desirable, if a work function, on the other hand, chooses a not much small ingredient The floating gate constituted from this ingredient, Since the barrier height (barrier height) between gate dielectric film or the insulator layer between the gates (insulator layer by the side of the control gate) becomes low, an electron is held in the floating gate, the purpose of forming a storage condition is spoiled and the dependability of this storage condition is reduced again It is good to choose a proper ingredient in consideration of these points.

[0014]

[Function] Since the Fermi level of the part in which the work function constituted the floating gate from a larger ingredient smaller than that of silicon and than that of gate dielectric film, and this floating gate is shifted to a high energy side according to the configuration of this invention, the tunnel distance in gate dielectric film becomes short compared with the conventional semiconductor memory which constituted the floating gate from silicon (in practice polish recon) (refer to drawing 2 (A) and (B)). This can be similarly said, when producing tunnel current between the flow TIGU gate and the insulator layer between the gates (insulator layer prepared between the control gate and the floating gate) and drawing out an electron to a control gate side. For this reason, in the semiconductor memory of this invention, even if it makes data blanking voltage small, desired FN current is acquired, data blanking voltage is the same as the former again, or even when low, some bigger FN currents than before are acquired.

[0015] Moreover, this is imagined also from the following thing. When JFN shows FN current, it is indicated by reference ("submicron device II" Koyanagi Mitsumasa work, Maruzen Co., Ltd. (1988. 1.30), p.29) that this is expressed with the following (1) type.

[0016]

$JFN = A \exp(-B/\epsilon_0 X^2) \dots (1)$

However, in (1) type, it is  $A = q^2 m^* / 8\pi h \phi_{\text{phib}} m^*$ , and  $B = [4 \text{ and } (2m^*)^{1/2} \text{ and } (q\phi_{\text{hib}})^{3/2} / 3q (h/2\pi)]$ ,

and is  $\epsilon_0 \chi$ : gate dielectric film (tunnel oxide film.) here. For example,  $\text{SiO}_2$  Electric field,  $\phi_{\text{b}}$  which are impressed to the film : The barrier height between the floating gate and gate dielectric film,  $m^*$  : It is the effective mass of the electron in gate dielectric film.

[0017] It is barrier height  $\phi_{\text{b}}$  so that clearly from this (1) type. By making a value small, it turns out that FN current can be enlarged, and is this  $\phi_{\text{b}}$ . By making a value small shows that electric-field  $\epsilon_0 \chi$  in the case of wanting to acquire FN current of the same magnitude can be made small. And it is barrier height  $\phi_{\text{b}}$  from the case where silicon (in practice polish recon) constitutes the floating gate from this invention since the work function constitutes the floating gate from a larger ingredient smaller than that of silicon than that of gate dielectric film. Since a value becomes small, it can aim at reduction of data blanking voltage, and compaction of data blanking time conventionally.

[0018]

[Example] Hereafter, the example of the semiconductor memory of this invention is explained with reference to a drawing. However, each drawing used for explanation has shown the configuration, magnitude, and arrangement relation of each constituent roughly to extent which can understand this invention.

[0019] 1. The structure explanatory view 1 is a sectional view having shown the important section of the semiconductor memory of an example. However, illustration of the constituents (for example, insulator layer for separation between components etc.) considered to be unnecessary by explanation of this invention is omitted (in the following drawing 3 and drawing 4, it is the same.).

[0020] While equipping the silicon substrate 11 as a semi-conductor substrate with the source field 13 and the drain field 15 and equipping this order with the insulator layer 21 between the gates and the control gate 23 for insulating electrically between the gate dielectric film 17 which serves also as a tunnel oxide film on this silicon substrate 11 further, the floating gate 19, the floating gate, and the control gate, the 6 HOU-ized lanthanum ( $\text{LaB}_6$ ) constitutes the floating gate 19 from the semiconductor memory of this example.

[0021] Although gate dielectric film 17 and the insulator layer 21 between the gates are not restricted, suitable ingredient, for example, this, they can consist of silicon oxide or a silicon oxidation nitride (it mentions later for details.). Although the control gate 23 is not restricted, either, suitable ingredient, for example, this, it can constitute from polish recon.

[0022]  $\text{LaB}_6$  If it thinks in an example since it shifted to the high energy side, when silicon oxide or a silicon oxidization nitride constitutes gate dielectric film 17 from the conventional semiconductor memory in which the Fermi level of the floating gate 19 constituted the floating gate from a semiconductor memory of this example with silicon (in practice polish recon) since the work function was 2.8eV, it is barrier height  $\phi_{\text{b}}$  between these floating gates 19 and gate dielectric film 17. It is set to about 1.9eV. On the other hand, since the work function of silicon is 4.05eV when the floating gate is constituted from silicon (polish recon) in the configuration of drawing 1 (henceforth "the example of a comparison"), it is this barrier height  $\phi_{\text{b}}$  in this case. It is set to about 3.1eV. Although barrier height  $\phi_{\text{b}} = 1.9\text{eV}$  obtained with the equipment of this example is small compared with 3.1eV of the example of a comparison, since it is fully large compared with the energy (41meV) which an electron has at the temperature of 200 degrees C, in order to make an electron hold to the floating gate 19 in the operational temperature range (<200 degree C) of the equipment of this example, it is sufficient barrier height.

[0023] It seems that it becomes a thing as shown in drawing 2 (A) if the band Fig. in each is one of the things of an example, and it is shown in drawing 2 (B) here if it is in the thing of the example of a comparison when data blanking voltage is impressed by making a substrate side forward between the control gates and the substrates of each semiconductor memory of these examples and the example of a comparison. That is, tunnel distance  $t_A$  in the equipment of an example Tunnel distance  $t_B$  in the equipment of the example of a comparison It becomes short. For this reason, in the semiconductor memory of an example, even if it makes data blanking voltage small, he can understand that desired FN current is acquired and FN current bigger even when low than before is conventionally acquired for data blanking voltage somewhat again. In addition, in drawing 2, the number shown in drawing 1 to the part equivalent to the part equivalent to the control gate, the part equivalent to the insulator layer between the

gates, ..., a substrate etc. and the same number are attached, respectively. However, 31 has shown the floating gate which consists of polish recon in drawing 2 (B) and (the example of a comparison).

[0024] Moreover, the above barrier height phib in each equipment of an example and the example of a comparison When a value (1.9eV and 3.1eV) is assigned to above-mentioned (1) type and the FN current JFN in both is computed, respectively, in the case of an example, it is  $9.3 \times 10^{-12}$  A/cm<sup>2</sup>. It becomes and, in the case of the example of a comparison, is  $5.7 \times 10^{-12}$  A/cm<sup>2</sup>. It becomes. However, 6 MV/cm of extent usually used with this kind of semiconductor memory is used for the value of electric-field epsilon0X in (1) type in this count. It turns out that  $9.3 / 5.7 \approx 1.63$  times as many FN current as this is acquired from the example of a comparison for the example so that clearly from this count result. Also from this, with the semiconductor memory of an example, even if it is the case where desired FN current was acquired and data blanking voltage is conventionally made low somewhat again even if it made data blanking voltage small, he can understand that bigger FN current than before is acquired.

[0025] 2. \*\*\*\* of an approach of operation -- although the semiconductor memory of this invention can be operated by the same approach as conventional equipment, it performs that explanation to below simply.

[0026] 2-1. 1 drawing 3 [ of \*\*\*\*\* of operation ] (A) - (C) is drawing with which explanation of \*\*\*\*\* of operation of 1 is presented. When pouring in an electron to the floating gate 19, while impressing the predetermined electrical potential difference VDW between the drain field 15 and the source field 13 (substrate) and making a channel 41 generate a hot electron 43 in this approach as shown in drawing 3 (A), it is the predetermined electrical potential difference VG between the control gate 23 and the source field 13 (substrate). It impresses and the above-mentioned hot electron 43 is poured into the floating gate 19. Moreover, it is the predetermined high voltage VE so that the control gate 23 side may serve as negative between these and the control gate 23 by making a substrate 11, the source field 13, and the drain field 15 into a connection condition as shown in drawing 3 (B) when drawing out outside the electron poured into the floating gate 19. It impresses and an electron is drawn out from the floating gate 19 to a substrate 11 side. However, in this invention, it is an electrical potential difference VE. Compared with the electrical potential difference (about twentyv) needed conventionally, it is low, and ends. Moreover, when data were read, as it was shown in drawing 3 (C), it is the electrical potential difference VG usual to the control gate 23. Electrical potential difference VD usual to the drain field 15 again It impresses, respectively. Electrical potential difference VG Since the effects on a substrate differ by whether the electron is poured into the floating gate 19, a transistor turns them on by this condition situation, or they serve as as [ OFF state ]. The data of this bit read "1" and "0" according to the on-off condition of this transistor.

[0027] 2-2. 2 drawing 4 [ of \*\*\*\*\* of operation ] (A) - (C) is the explanatory view of other approaches of operation. However, impregnation ( drawing 4 (A)) of the electron to the floating gate and reading of data ( drawing 4 (C) is the same as the approach explained using drawing 3 .) It differs from the approach by which the point drawn out to the control gate 23 side explained the electron poured into the floating gate 19 using drawing 3 . It is the predetermined high voltage VE so that the control gate 23 side may specifically serve as forward between these and the control gate 23 by making a substrate 11, the source field 13, and the drain field 15 into a connection condition, as shown in drawing 4 (B). It impresses and an electron is drawn out from the floating gate 19 to the control gate 23 side. However, it is an electrical potential difference VE also in this case. Compared with the electrical potential difference (about twentyv) needed conventionally, it is low, and ends. The band Fig. of the semiconductor memory of the example in the time of the electronic drawing of 2 of this \*\*\*\*\* of operation (washout mode) was shown in drawing 5 by the notation approach of drawing 2 , and the same notation approach.

[0028] 3. In order to deepen an understanding of explanation of the manufacture approach, next this invention, explain an example of the manufacture approach of the semiconductor memory of an example which used and explained drawing 1 . Drawing 6 (A) - (D) and drawing 7 (A) - (D) is process drawing with which the explanation is presented. The sectional view has shown any drawing.

[0029] First, it forms in the predetermined part of a silicon substrate 11 insulator layer 51 for separation

between components by the well-known approach, and the surface concentration of the active field of a substrate 11 is prepared to a predetermined value ( drawing 6 (A)).

[0030] after [ next, ] defecating this silicon substrate 11 front face -- this substrate front face -- for example, the oxidizing [ thermally ] method -- the object for gate-dielectric-film formation -- thin film 17x are formed in 10nm thickness ( drawing 6 (B)).

[0031] next, these thin film 17x top for gate-dielectric-film formation -- the object for FURUTINGUGETO formation -- as thin film 19x -- this case -- LaB6 A thin film is formed in 100nm thickness ( drawing 6 (C)). At this example, it is LaB6. It is this LaB6 by the spatter which used the target. Thin film 19x are formed.

[0032] next, this LaB6 thin film 19x top -- the object for the insulator layer formation between the gates -- an oxidation nitride is formed in this case as thin film 21x ( drawing 6 (D)). These film 21x are LaB6. It is NH3 as material gas first on film 19x. And SiH4 After thickness forms the silicon nitride (not shown) which is 30nm with the used CVD method, it forms by heat-treating this in an oxygen ambient atmosphere, and using this silicon nitride upper part as an oxide film.

[0033] next, these thin film 21x top for the insulator layer formation between the gates -- the object for control gate formation -- as thin film 23x -- nin this case+ The polish recon film is formed in 200nm thickness with a CVD method ( drawing 7 (A)).

[0034] Next, it forms with a well-known lithography technique on thin film 23x for control gate formation, the mask (not shown), for example, the resist pattern, at the time of gate electrode processing. then, CF4 the used reactive-ion-etching method -- the object for control gate formation -- thin film 23x and the object for the insulator layer formation between the gates -- thin film 21x are etched alternatively, respectively, and the control gate 23 and the insulator layer 21 between the gates are obtained, respectively. then -- for example, the ion milling method using Ar (argon) -- LaB6 film 19x and the object for gate-dielectric-film formation -- thin film 17x -- respectively -- alternative -- etching -- LaB6 from -- the floating gate 19 which changes, and gate dielectric film 17 are obtained ( drawing 7 (B)).

[0035] Next, it is acceleration energy 40 KeV and  $5 \times 10^{15}$  [ of doses ] cm<sup>2</sup> about Lynn by ion-implantation. To impregnation, heat treatment is carried out to this silicon substrate 11 for 30 minutes at the temperature of 950 degrees C to this silicon substrate at a pan by conditions, and the source field 13 and the drain field 15 are obtained, respectively ( drawing 7 (C)).

[0036] Next, formation of an interlayer insulation film 53, formation of the KONTAKU hole 55 to this, and formation of wiring 57 are performed by the well-known approach, respectively. Thereby, the semiconductor memory of an example is obtained ( drawing 7 (D)).

[0037] In \*\*\*\*, although the example of the semiconductor memory of this invention was explained, this invention is not restricted to an above-mentioned example.

[0038] For example, an above-mentioned example is LaB6. It was the example which used and constituted the floating gate. This is LaB6. It is because a work function is chemically stable and membrane formation is also comparatively easy the work function low again also in the boride which fulfills the conditions of the work function as used in the field of this invention. However, the ingredient for constituting the floating gate is not restricted to this.

[0039] Moreover, in \*\*\*\*, although the example which applied this invention to EE-PROM in which thickness has uniform gate dielectric film was explained, some gate dielectric film can apply this invention also to the semiconductor memory of other molds, such as EE-PROM of the mold which is made thinner than other parts and uses this part made thin as a tunnel oxide film.

[0040]

[Effect of the Invention] Since the work function constituted the floating gate from a larger ingredient smaller than that of silicon and than that of gate dielectric film according to the semiconductor memory of this invention so that clearly also from the explanation mentioned above, barrier height between the floating gate and gate dielectric film and barrier height of the floating gate and the insulator layer between the gates can be made low compared with the case where the flow TIGU gate is constituted from silicon. Therefore, when drawing out an electron from FURUTINGUGETO to a gate-dielectric-

film side, either in the case of drawing out to the insulator layer side between the gates can aim at reduction of data blanking voltage, and compaction of data blanking time conventionally.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the semiconductor memory of an example.

[Drawing 2] (A) And (B) is drawing with which explanation of an example and the example of a comparison is presented, and is a band Fig. at the time of the washout mode in each example equipment.

[Drawing 3] (A) - (C) is drawing with which explanation of \*\*\*\* of the semiconductor memory of an example of operation of 1 is presented.

[Drawing 4] (A) - (C) is drawing with which explanation of \*\*\*\* of the semiconductor memory of an example of operation of 2 is presented.

[Drawing 5] It is a band Fig. in the washout mode of 2 of \*\*\*\* of the semiconductor memory of an example of operation.

[Drawing 6] (A) - (D) is process drawing showing the example of a process of the semiconductor memory of an example.

[Drawing 7] (A) - (D) is process drawing following drawing 6 which shows the example of a process of the semiconductor memory of an example.

[Description of Notations]

11: Semi-conductor substrate (silicon substrate)

13: Source field

15: Drain field

17: Gate dielectric film (it serves also as a tunnel oxide film.)

19: LaB6 The constituted floating gate

21: The insulator layer between the gates

23: Control gate

31: The floating gate constituted from polish recon

41: Channel

43: Hot electron

---

[Translation done.]



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semiconductor memory characterized by a work function constituting the floating gate from it of silicon with a small larger ingredient than that of gate dielectric film in the semiconductor memory equipped with gate dielectric film and the floating gate on a semi-conductor substrate at this order.

[Claim 2] The semiconductor memory characterized by using said ingredient as the ingredient chosen from the matter group which consists of a boride and carbide in a semiconductor memory according to claim 1.

---

[Translation done.]